

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-307362

(43)Date of publication of application : 02.11.2000

(51)Int.Cl. H03F 3/60  
H01L 23/12  
H01P 3/08  
H01P 5/02  
H01P 5/18

(21)Application number : 11-117194 (71)Applicant : MITSUBISHI ELECTRIC CORP

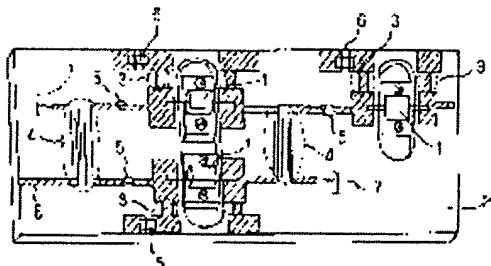
(22)Date of filing : 23.04.1999 (72)Inventor : HANSHIYOU HIDESHI

(54) MICROWAVE AMPLIFIER CIRCUIT, DIELECTRIC SUBSTRATE RAW MATERIAL  
AND MICROWAVE AMPLIFIER CIRCUIT COMPONENT

## (57)Abstract:

PROBLEM TO BE SOLVED: To relax dispersion in fine pattern parts or to enable a circuit configuration, which can not be provided because of a limit in production, by making a dielectric constant at one part of a dielectric substrate corresponding to a circuit at the prescribed portion of a microwave amplifier circuit selectively different from the other portions.

SOLUTION: The height of a transistor 1 matches by cutting the side of a substrate 21 the lead height of this transistor 1. Since the height of the transistor 1 is about 2 mm, when VSWR or the like is considered, a plane structure is suitable for the lead height and the connecting surface of the substrate 21. The dielectric constant of portions corresponding to a choke pattern part 3 and a distributor/synthesizer 4 on the substrate 21 is made lower than the other spot so as not to affect performance dispersion. Namely, the dielectric constant is selectively made different. In order to selectively lower the dielectric constant, the substrates of different dielectric constants are integrated while impregnating resins.

**BEST AVAILABLE COPY**



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-307362

(P2000-307362A)

(43)公開日 平成12年11月2日(2000.11.2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>7</sup> (参考)
H 03 F 3/60		H 03 F 3/60	5 J 0 1 4
H 01 L 23/12	3 0 1	H 01 L 23/12	3 0 1 C 5 J 0 6 7
H 01 P 3/08		H 01 P 3/08	
5/02	6 0 3	5/02	6 0 3 A
5/18		5/18	G

審査請求 未請求 請求項の数12 O L (全 8 頁)

(21)出願番号 特願平11-117194

(22)出願日 平成11年4月23日(1999.4.23)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 繁昌 秀史

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100080296

弁理士 宮園 純一

Fターム(参考) 5J014 CA42 CA43

5J067 AA04 CA35 CA87 CA92 FA16

HA01 HA33 KA12 KA29 KA66

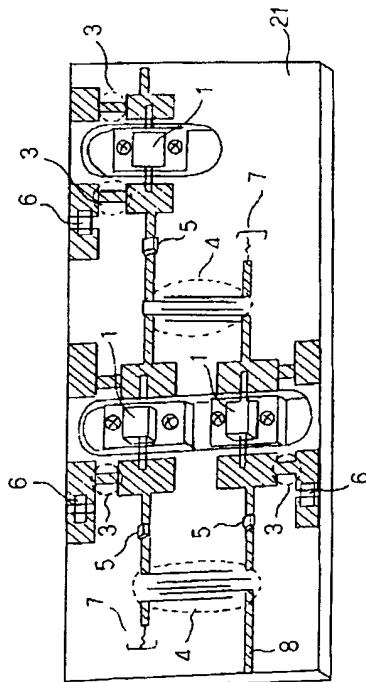
KA68 KS01 KS11 LS12 QA04

(54)【発明の名称】マイクロ波増幅回路と誘電体基板原材及びマイクロ波増幅回路部品

(57)【要約】

【課題】マイクロ波増幅回路あるいはその部位単体の低コスト化、性能安定化を図る。

【解決手段】一枚の所定面積の誘電体基板21上に実装されたマイクロ波増幅回路において、上記マイクロ波増幅回路のチョークパターン3と分配合成器4の各部位に対応する上記誘電体基板21の一部の誘電率を選択的に他の部分より低く設定した。



【特許請求の範囲】

【請求項1】 誘電体基板上に実装された上記マイクロ波増幅回路において、上記マイクロ波増幅回路の特定部位の回路に対応する上記誘電体基板の一部の誘電率を選択的に他の部分とは異ならせたことを特徴とするマイクロ波増幅回路。

【請求項2】 マイクロ波増幅回路又はこの回路の一部の部品を実装するための実装部分と切捨て部分とを有する誘電体基板原材において、上記実装部分を高周波基板材で形成し、この実装部分以外の切捨て部分を低コスト基板材で形成したことを特徴とする誘電体基板原材。

【請求項3】 低誘電率化された部分を設け、この部分は上記マイクロ波増幅回路のチョークパターン部に対応する部位であることを特徴とする請求項1に記載のマイクロ波増幅回路。

【請求項4】 低誘電率化された部分を設け、この部分は上記マイクロ波増幅回路の分配合成部に対応する部位であることを特徴とする請求項1に記載のマイクロ波増幅回路。

【請求項5】 誘電体基板上に実装されたマイクロ波増幅回路の一部の部品において、上記部品の特定の部位に対応する上記誘電体基板の一部の誘電率を選択的に他の部分と異ならせたことを特徴とするマイクロ波増幅回路部品。

【請求項6】 上記マイクロ波増幅回路部品を広帯域ブランチ回路より構成し、当該回路のファインパターンの部位に対応する部分の誘電率を他の部分の誘電率より低く設定した請求項5に記載のマイクロ波増幅回路部品。

【請求項7】 上記マイクロ波増幅回路部品を、インタディジタルカプラより構成し、当該回路のファインパターンの部位に対応する部分の誘電率を他の誘電率より低く設定した請求項5に記載のマイクロ波増幅回路部品。

【請求項8】 上記マイクロ波増幅回路部品を、整合回路より構成し、当該回路のチョークパターンの部位に対応する部分の誘電率を他の誘電率より低く設定した請求項5に記載のマイクロ波増幅回路部品。

【請求項9】 上記マイクロ波増幅回路部品を、整合回路より構成し、当該回路のファインパターンの部位に対応する部分の誘電率を他の誘電率より低く設定した請求項5に記載のマイクロ波増幅回路部品。

【請求項10】 上記マイクロ波増幅回路部品のケース背面に近い導体パターンの部位に対応する部分の誘電率を他の誘電率より高く設定した請求項5に記載のマイクロ波増幅回路部品。

【請求項11】 誘電体基板の層の部分において、誘電率が高く設定された部分を設け、当該部分の層を導体で挟むようにしてバイアスコンデンサを形成したことを特徴とする請求項5に記載のマイクロ波増幅回路部品。

【請求項12】 上記マイクロ波増幅回路部品を、ディスクリートトランジスタより構成し、当該ディスクリー

トトランジスタのトリプレート線路の部位に対応する部分の誘電率を他の部分より低く設定した請求項5に記載のマイクロ波増幅回路部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、マイクロ波増幅回路と誘電体基板原材及びマイクロ波増幅回路部品、特に誘電体基板の誘電率の設定に関するものである。

【0002】

【従来の技術】図13は、従来のマイクロ波増幅回路の一例を示す斜視図であり、同図において、互いに連結するように接続して成るたとえばセラミック等の各誘電体基板20の表面にはRFトランジスタ1、入力又は出力の整合回路2、DCカット用高周波チップコンデンサ5、バイアス用チップコンデンサ6、RF終端器7、或いは、例えばインタディジタルタイプの分配合成回路15等が実装されて、全体としてマイクロ波増幅回路を構成している。

【0003】上記RFトランジスタ1は入力RFを増幅して出力し、チップコンデンサ5はRFのみを通過させ、チップコンデンサ6はバイアス回路を構成するものであってマイクロ波には特に関係するものではなく、RF終端器7は終端器で反射されたRFを50Ωで終端し、吸収するものである。上記整合回路2は入出力間の整合を行い、分配合成回路15はマイクロ波を分配あるいは合成するものである。従来技術によるマイクロ波増幅回路はこのように、例えば、テフロン、ガラエポ、セラミック、デュロイド、それ以上の高誘電体基板等より成る单一基板20に特定の回路部品を実装した上で、この基板20をそれぞれねじ止め等で固定しリボン接続等を行う方法で高周波伝送路を構成していた。

【0004】

【発明が解決しようとする課題】しかしながら、従来のマイクロ波増幅回路は一体化基板回路設計において、高誘電体基板で構成されていたので、この基板と分配合成部やチョークパターン部等でファインパターン部を生じた場合、パターン精度上の制限で実現できなかったり、性能安定化に問題があった。そこで、低誘電体基板で構成すると、サイズが大きくなってしまう問題があった。そのため、ある程度分割した基板を連結して構成されるため、組立て工数、製造ばらつき、コストの面で問題があった。また、誘電体基板の原材より、回路又はその一部の部品を実装すべき実装部分を所定面積に面取りして、この面取りした部分に実装を行うことで回路あるいは部品として製造しているが、单一基板の原材における回路基板の多面取りにおいては切捨て部分にも高価な高周波基板材を使用しているため原材自体が割高となって、低コスト化を図る上では問題があった。

【0005】この発明は上記のような問題点を解消するためになされたものでパターン精度にクリティカルなフ

アインパターン部のばらつき緩和や製造上の制限で実現できなかった回路構成が可能になることを目的としている。また、パターン精度にクリティカルでない部分はその部分を性能ばらつきに影響のない程度により高誘電率にすることによって回路の小型化をはかることを目的としている。さらに、従来は一様な基板原材であったため、高価な高周波基板材では基板加工で切捨てられた分がコストにはねかえってきたが、この発明では切捨て部分には低成本な誘電体を使用すればよく、トータルコストの低減がはかれるようになる。

#### 【0006】

【課題を解決するための手段】請求項1の発明は、マイクロ波増幅回路の特定部位の回路に対応する誘電体基板の一部の誘電率を選択的に他の部分とは異ならせたものである。

【0007】請求項2の発明は、実装部分を高周波基板材で形成し、この実装部分以外の切捨て部分を低成本基板材で形成したものである。

【0008】請求項3の発明は、低誘電率化された部分を設け、この部分はマイクロ波増幅回路のチョークパターン部に対応する部位としたものである。

【0009】請求項4の発明は、低誘電率化された部分を設け、この部分はマイクロ波増幅回路の分配合成部に対応する部位としたものである。

【0010】請求項5の発明は、マイクロ波増幅回路部品における特定の部位に対応する誘電体基板の一部の誘電率を選択的に他の部分と異ならせたものである。

【0011】請求項6の発明は、マイクロ波増幅回路部品を、広帯域ブランチ回路より構成し、当該回路のファインパターンの部位に対応する部分の誘電率を他の部分の誘電率より低く設定したものである。

【0012】請求項7の発明は、マイクロ波増幅回路部品を、インタディジタルカプラより構成し、当該回路のファインパターンの部位に対応する部分の誘電率を他の誘電率より低く設定したものである。

【0013】請求項8の発明は、マイクロ波増幅回路部品を整合回路により構成し、当該回路のチョークパターンの部位に対応する部分の誘電率を他の誘電率より低く設定したものである。

【0014】請求項9の発明は、マイクロ波増幅回路部品を、整合回路より構成し、当該回路のファインパターンの部位に対応する部分の誘電率を他の誘電率より低く設定したものである。

【0015】請求項10の発明は、マイクロ波増幅回路部品のケース壁面に近い導体パターンの部位に対応する部分の誘電率を他の誘電率より高く設定したものである。

【0016】請求項11の発明は、誘電率が高く設定された部分を設け、当該部分の層を導体で挟むようにしてバイアスコンデンサを形成したものである。

【0017】請求項12の発明は、マイクロ波増幅回路部品を、ディスクリートトランジスタより構成し、当該ディスクリートトランジスタのトリプレート線路の部位に対応する部分の誘電率を他の誘電率より低く設定したものである。

#### 【0018】

【発明の実施の形態】実施の形態1. 以下、この発明の実施例を図に基づき説明する。図1は本発明にかかるマイクロ波増幅回路を示した斜視図である。図1において、21は誘電体より成る所定面積の基板であり、この上に各種の回路が実装されている。1はRFトランジスタである。3はチョークパターン部であり、これは整合回路のインピーダンスにあまり影響を与えないバイアスを供給するためのパターンから成り、チョークコイルと同様の効果を奏する。通常は $\lambda/4$ の長さでバイアス側のインピーダンスが見えにくくなるように設計される。4は分配合成器で、前段は3dB分配器、後段は3dB合成器であり、90° 3dBカップラのインターディジタルタイプを例としている。5はDCカット用のコンデンサであり、RFを通過させる。6はバイアス用コンデンサであり、バイアス回路を構成し、マイクロ波には特に関係しない。7は終端器であり、反射されたRFを50Ωで終端し吸収する。8はRFが伝導するマイクロストリップ線路である。このような構成のマイクロ波増幅回路の等価回路を図2に示す。図2のように多段増幅器(2合成)を構成する。

【0019】なお、上記トランジスタ1については、このトランジスタ1のリード高さをあわせるために基板21側を削り高さ合わせをしている。例えば基板21の厚さを約0.6mmとし、基板21の下にコバール等でキャリアを作った時の厚さを約0.5mmとして、これ等の合計が約1.1mmとしたとき、これに対し、トランジスタ1の高さは約2mm程度あるためVSWR等を考慮するとリード高さと基板21の接続面は面一の構造がよく、このためにこのような高さ合わせの構造としている。この場合、基板21におけるチョークパターン3の部位と分配合成器4の部位とに対応する部分は、性能ばらつきに影響を与えない程度に他の個所よりも低誘電率にされている。すなわち、選択的に誘電率を異ならせているのである。このように選択的に低誘電率化する方法としては、最近、異なる誘電率の基材を樹脂がん漫させ、一体化する技術が開発されている。他の簡単な例としては上記のチョークパターン3と分配合成器4に対応する部位の基板をくり抜いて、その部分に異なる誘電の基板埋め込む方法も考えられる。

【0020】従来では、チョークパターン部3や分配合成器4は最適なファインパターン部が実現不可能であったりパターン精度のばらつきでマイクロ波増幅回路の性能ばらつきが生じていたが、本実施の形態1によりクリティカルな部分を低減することができる。また、設計上

無理のないスペース利用ができる。すなわち、チョークパターン3、分配合成器4の各部位はファインパターンのために、パターン精度の影響で組立上のばらつきや最適設計値を実現できないことがあるが、本実施の形態1でこの点を解消できる。また、チョークパターン3に関しては、細幅過ぎると、ハイパワートランジスタの大電流を流すことが出来ない等の問題があるが、この実施の形態1では太幅にできるために、それを解消できる。

【0021】実施の形態2. 図3は本発明の実施の形態2であるマイクロ波増幅回路の多面取り用の誘電体基板原材40の平面図である。同図において9はマイクロ波増幅回路基板の量産における多面取り基板の切捨て部分を示しており、10はマイクロ波増幅回路又はこの回路の一部の部品を実装する実装部分を示している。誘電体基板原材40はこのように実装部分10を多面取りして、この面取りした各実装部分10をマイクロ波増幅回路あるいはその一部の部品の実装用として用いるのであるが、本実施の形態2ではこのように一枚の誘電体基板原材40の状態において、実装部分10のみを高価な高周波基板材で形成し、他の切捨て部分9を低成本の基板材より形成して、低成本な誘電体基板原材40とするものである。

【0022】実施の形態3. 図4及び図5は、本発明の実施の形態3であるマイクロ波増幅回路分品としての分配合成回路の平面図である。図4は小版の誘電体基板22に設けられた広帯域ブランチライン回路で、図5は小版の誘電体基板23に設けられたインタディジタルカッピラである。図4、図5においてファインパターン4a、4bに対応する部位は回りの部分より誘電率を低めにして、複合一体化させた回路である。本実施の形態3のように回路単体を実装する誘電体基板22、23についてもその一部を選択的に誘電率を低くすることにより、パターン精度等で性能に影響しない程度のパターン太さにできるため、マイクロ波増幅回路の分配合成レベルを安定にさせ、性能ばらつき等を抑えることができる。

【0023】実施の形態4. 図6は、実施の形態4であるマイクロ波増幅回路の整合回路の平面図である。小版の誘電体基板24のチョークパターン部分4cに対応する部位は回りの部分より誘電率を低めにして、複合一体化させた回路であり、機能的にはチョークパターンのための導体線路となっている。なお、8cはトランジスタの整合回路である。本実施の形態4により、チョークパターン部分4cを、パターン精度等で性能に影響しない程度のパターン太さにできるため、マイクロ波増幅回路のチョークパターンからのRFもれを低減し、整合回路に対する影響、性能ばらつき等を抑えることができる。すなわち、ファインパターンは0.1mm～0.2mm以下の線路幅のものであるが、同じインピーダンスの線路幅は、低誘電率より高誘電率の方が細く、パターン精

度は、±20～50μm程度なので、細い程影響が大きい。しかるに、本実施の形態4によれば、上記パターン太さを大きくできるので、このような不都合が生じない。

【0024】実施の形態5. 図7は実施の形態5であるマイクロ波増幅回路部品としての整合回路の平面図である。誘電体基板25における導体線路より成るファインパターン4dの部分は回りの部分より誘電率を低めにして、複合一体化させた回路であり、機能的には整合回路内の誘電的成分のための導体線路である。本実施の形態5により、ファインパターン部をパターン精度等で性能に影響しない程度のパターン太さにできるため、マイクロ波増幅回路の整合回路に対する影響、性能ばらつき等を抑えることができる。

【0025】実施の形態6. 図8は実施の形態6であるマイクロ波増幅回路部品のケース壁面部11（基板外周近傍）に近いパターンの平面図である。誘電体基板26におけるケース壁面部11に近い導体パターン8eに対応する部位12は回りの部分より誘電率を高めにして、複合一体化させた回路である。従来はマイクロ波回路の設計ルールより導体パターン8eは壁面部11側から導体パターン幅の2～3倍距離しだけ離す必要があるため、单一誘電体基板ではスペースを広くとる必要があった。本実施の形態6により導体パターン8eに対応する部位12のみ、高誘電率化し、導体パターン8eをパターン精度等で性能に影響しない程度のパターン太さWに設定しているため、従来に比較して全体スペースの小型化がはかれる。

【0026】実施の形態7. 図9、図10は実施の形態7のマイクロ波増幅回路部品の多層基板化されたバイアス回路の斜視図と断面図である。断面部分42bは回りの部分より誘電率を高めにしこの断面部分42bを導体42x、42yで挟んでバイアス用コンデンサ42を構成した複合一体化回路である。46はスルーホール部分、5はDCカット用コンデンサ、8eは整合回路の導体パターンである。従来では図13のようにバイアス用のチップコンデンサ6を取り付けていたが本実施の形態7より、これが不要となり、部品点数の削減、組み立て工数の低減をはかれる。

【0027】実施の形態8. 図11、図12は実施の形態8によるマイクロ波増幅回路部品としてのディスクリートトランジスタのフィードスルー部の斜視図と上面図である。各図において、1はディスクリートトランジスタであり、基板1mの上に取付けられており、このディスクリートトランジスタ1のパッケージ1tの内部に基板54aが組込まれている。基板54aの表面側には、導体パターン8fが中央横方向に延長し、この導体パターン8fに直角方向に縦基板54bが取付けられる。この縦基板54bはトランジスタ内を気密化するためのもので、気密化のために、マイクロストリップ線路一トリ

プレートマイクロストリップ線路の組合せの構成となっている。この場合、基板54aとしては、縦中央方向の縦基板54bが固定される部分Bと、その左、右のA部分において、部分B(2分割)に対応する部位54e(トリプレート線路に対応する部位)の基板54aの一部を低誘電率化している。このように、トリプレート線路の部分Bに対応する部位54eを低誘電率化することにより、図12に示すように線路8yの中央部8mを(a)に示すくび状態から(b)に示すすく太くできる。すなわち、部分Aはマイクロストリップ線路、部分Bはトリプレート線路になっており、部分Bではインピーダンスが部分Aより低くなるため、同一インピーダンスでつなぐ場合、従来は(a)に示すように部分Bのパターンは細くせざるをえない。そのため、最適なパターン幅が実現できなかつたり、パターン精度により性能がばらつく要因となっていた。本実施の形態8により性能に影響しない程度に図12(b)に示すようにこの部分を太くでき、性能を安定化させることができる。

【0028】以上のように、この発明によればマイクロ波増幅回路内の誘電体部分のうち、誘電率を設計場最適な状況に応じて低くしたり、高くしたり、また高価な基板材と安価な基板材を複合一本化するように構成したので、マイクロ波増幅回路あるいはその部品単体の低コスト化、性能安定化、スペースの有効利用ができる効果がある。

#### 【0029】

【発明の効果】請求項1の発明によれば、マイクロ波増幅回路の特定部位の回路に対応する上記誘電体基板の一部の誘電率を選択的に他の部分とは異ならせたので、パターン精度上の問題を解消でき、性能安定化が図れ、また高誘電率の部分を有することにより基板サイズの小形化が図れ、組立て工数を少なく、しかも製造ばらつきを小さくでき、コストを低減できる。

【0030】請求項2の発明によれば、実装部分を高周波基板材で形成し、この実装部分以外の切捨て部分を低成本基板材で形成したので、切捨て部分が低成本基板材より成るので、誘電体基板原材自体のコストを低減できる。

【0031】請求項3の発明によれば、低誘電率化された部分を設け、この部分はマイクロ波増幅回路のチョークパターン部に対応する部位としたので、チョークパターン部に対応する部分の製造ばらつきを小さくでき、また大電流を流すことも可能となる。

【0032】請求項4の発明によれば、低誘電率化された部分を設け、この部分はマイクロ波増幅回路の分配合成部に対応する部位としたので、分配合成部に対応する部分の製造ばらつきを小さくでき、性能安定化が図れる。

【0033】請求項5の発明によれば、マイクロ波増幅回路の特定の部位に対応する上記誘電体基板の一部を選

択的に他の部分と異ならせたので、性能ばらつきを抑えることができる。

【0034】請求項6の発明によれば、マイクロ波増幅回路部品を、広帯域ブランチ回路より構成し、当該回路のファインパターンの部位に対応する部分の誘電率を他の部分の誘電率より低く設定したので、広帯域ブランチライン回路におけるパターン太さを大きくでき、性能ばらつきを抑えることができる。

【0035】請求項7の発明によれば、マイクロ波増幅回路部品を、インタディジタルカプラより構成し、当該回路のファインパターンの部位に対応する部分の誘電率を他の誘電率より低く設定したので、インタディジタルカプラにおけるパターン太さを大きくでき、性能ばらつきを抑えることができる。

【0036】請求項8の発明によれば、マイクロ波増幅回路部品を、整合回路より構成し、当該回路のチョークパターンの部位に対応する部分の誘電率を他の誘電率より低く設定したので、整合回路のパターン太さを大きくでき、チョークパターンからのRFもれを低減でき、性能ばらつきを抑えることができる。

【0037】請求項9の発明によれば、マイクロ波増幅回路部品を、整合回路より構成し、当該回路のファインパターンの部位に対応する部分の誘電率を他の誘電率より低く設定したので、性能に影響しない程度のパターン太さにでき、性能ばらつきを抑えることができる。

【0038】請求項10の発明によれば、マイクロ波増幅回路部品のケース壁面に近い導体パターンの部位に対応する部分の誘電率を他の誘電率より高く設定したので、ケース壁面に近い導体パターンの太さを、性能に影響を与えない程度のパターン太さにでき、小型化がはかれる。

【0039】請求項11の発明によれば、誘電率が高く設定された部分を設け、当該部分の層を導体で挟むようにしてバイアスコンデンサを形成したので、チップコンデンサを設けることなくコンデンサを実現でき、部品点数の削減、組立て工数の低減が図れる。

【0040】請求項12の発明によれば、ディスクリートトランジスタのトリプレート線路の部位に対応する部分の誘電率を他の部分より低く設定したので、ディスクリートトランジスタにおけるトリプレート線路のパターン太さを、性能に影響を与えない程度の太さにでき、性能を安定化できる。

#### 【図面の簡単な説明】

【図1】 本発明によるマイクロ波増幅回路の実施の形態1を示す斜視図である。

【図2】 本発明によるマイクロ波増幅回路の実施の形態1の等価回路図である。

【図3】 本発明によるマイクロ波増幅回路の誘電体基板原材の実施の形態2を示す平面図である。

【図4】 本発明によるマイクロ波増幅回路部品の実施

の形態3を示す平面図である。

【図5】 本発明によるマイクロ波増幅回路部品の実施の形態3を示す平面図である。

【図6】 本発明によるマイクロ波増幅回路部品の実施の形態4を示す平面図である。

【図7】 本発明によるマイクロ波増幅回路部品の実施の形態5を示す平面図である。

【図8】 本発明によるマイクロ波増幅回路部品の実施の形態6を示す平面図である。

【図9】 本発明によるマイクロ波増幅回路部品の実施の形態7を示す斜視図である。

【図10】 本発明によるマイクロ波増幅回路部品の実施の形態7を示す断面図である。

【図11】 本発明によるマイクロ波増幅回路部品の実

施の形態8を示す分解斜視図である。

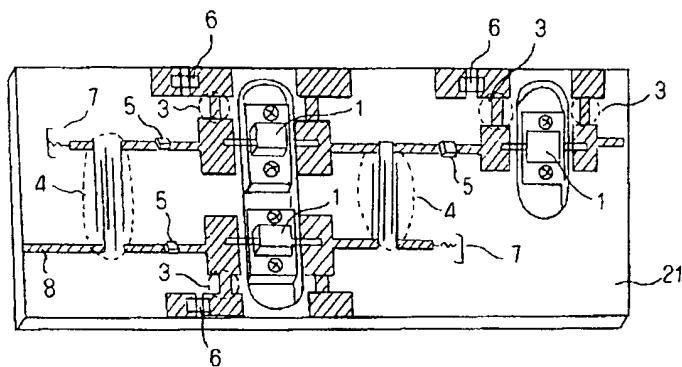
【図12】 本発明によるマイクロ波増幅回路部品の実施の形態8を示す平面図である。

【図13】 従来のマイクロ波増幅回路の一例を示す斜視図である。

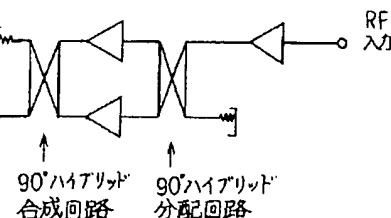
【符号の説明】

1 トランジスタ、21, 22, 23, 24, 25 誘電体基板、3 チョークパターン部、4 分配合成器、5, 6 チップコンデンサ、7 終端器、9 切捨て部、10 実装部分、11 ケース壁面部、12 バイアス用コンデンサ、13 多層基板、14 基板、15 従来の高周波セラミック基板、16 スルーホール部分、42b 断面部分、42 バイアス用コンデンサ、54e トリプレート線路に対応する部位。

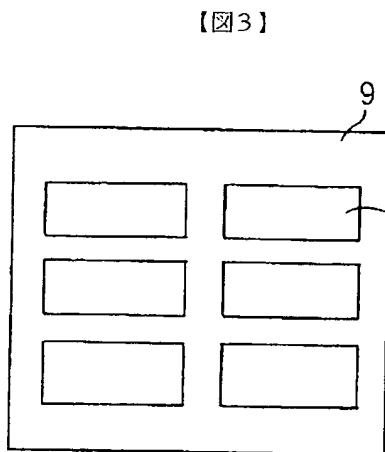
【図1】



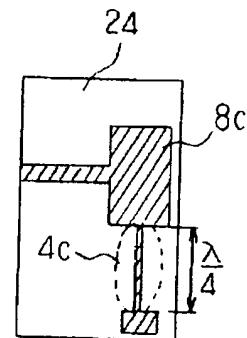
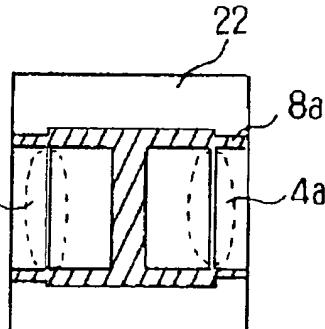
【図2】



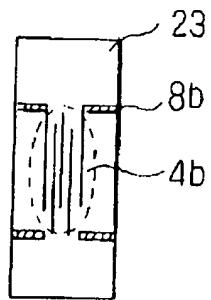
【図6】



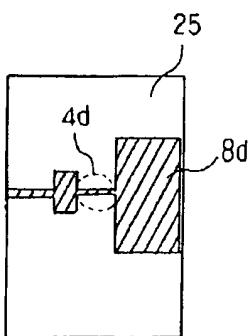
【図4】



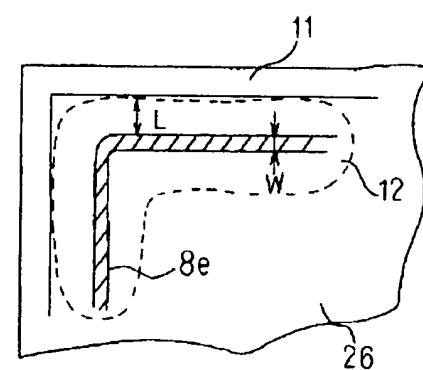
【図5】



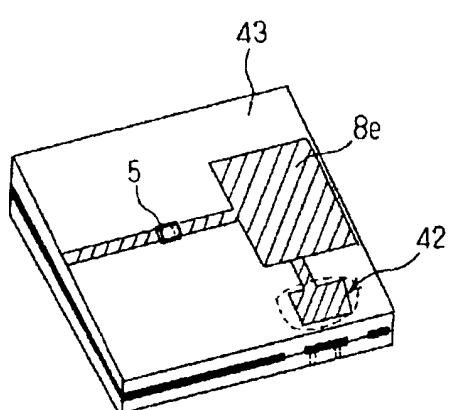
【図7】



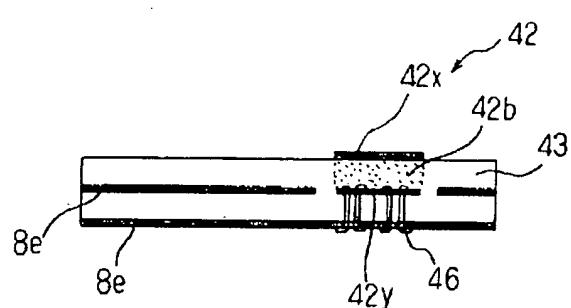
【図8】



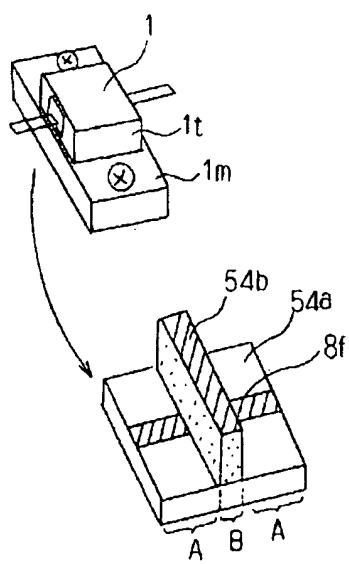
【図9】



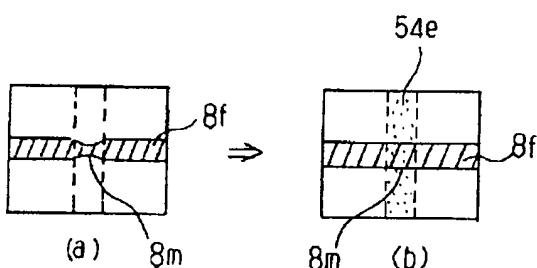
【図10】



【図11】

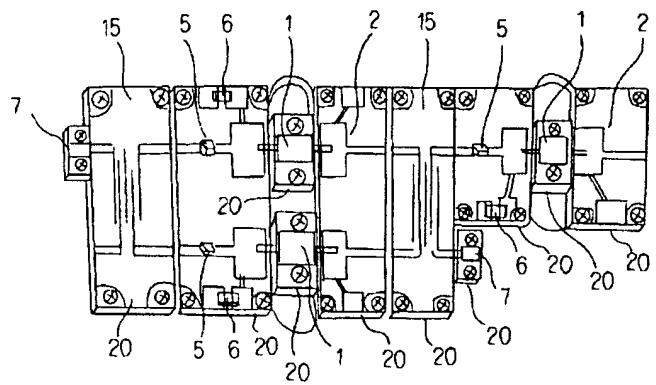


【図12】



1(8)000-307362 (P2000-3) 製図

【図13】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**